

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51557

(P2003-51557A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)	
H 0 1 L	21/8247	H 0 1 L	27/10	4 3 4
	27/115		29/78	3 7 1
	29/788			5 F 0 8 3
	29/792			5 F 1 0 1

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2001-238674(P2001-238674)

(22) 出願日 平成13年8月7日 (2001.8.7)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 市毛 正之

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 橋本 耕治

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

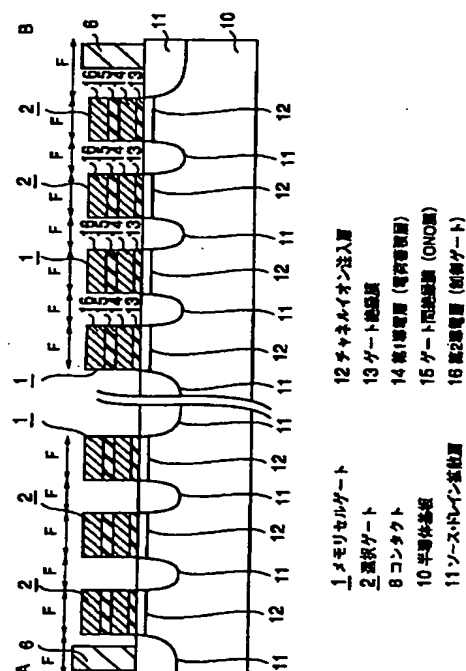
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 トランジスタのカットオフ特性を向上させた微細な不揮発性半導体記憶装置及びその製造方法を提供する。

【解決手段】 半導体基板10と、この半導体基板中に形成された素子領域と、前記半導体基板中の素子領域を分離する素子分離領域と、前記素子領域に複数個形成され、それぞれが等しいゲート長を有し、かつ、互いにこのゲート長と等しい離間距離を隔てるメモリセルゲート1と、このメモリセルゲートとの間に前記離間距離を隔てて隣接して、それぞれが前記離間距離を隔てていて、それぞれが前記ゲート長を有して形成された2つの選択ゲート2とを備える不揮発性半導体記憶装置としている。



1

【特許請求の範囲】

【請求項1】半導体基板と、

この半導体基板中に形成された素子領域と、
前記半導体基板中の素子領域を分離する素子分離領域と、

前記素子領域に複数個形成され、それぞれが等しいゲート長を有し、かつ、互いにこのゲート長と等しい離間距離を隔てるメモリセルゲートと、

このメモリセルゲートとの間に前記離間距離を隔てて隣接して、それぞれが前記離間距離を隔てていて、それぞれが前記ゲート長を有して形成された2つの選択ゲートとを備えることを特徴とする不揮発性半導体記憶装置。

【請求項2】前記メモリセルゲートはNAND型EEPROM又はAND型EEPROMで互いに接続されていることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】前記2本の選択ゲートは、第1導電層と、その上のゲート絶縁膜と、この絶縁膜上の第2導電層とを有し、前記素子活性領域上で前記第1導電層と前記第2導電層とが短絡していることを特徴とする請求項1又は2いずれか1項記載の不揮発性半導体記憶装置。

【請求項4】前記2本の選択ゲートのうち一方が、第1導電層と、その上のゲート絶縁膜と、この絶縁膜上の第2導電層とを有し、前記素子活性領域上で前記ゲート膜の一部に開口部が設けられ、前記第1導電層と前記第2導電層とが短絡していることを特徴とする請求項1又は2いずれか1項記載の不揮発性半導体記憶装置。

【請求項5】前記選択ゲートのチャネル領域の不純物濃度と前記メモリセルゲートのチャネル領域の不純物濃度がそれぞれ異なることを特徴とする請求項1乃至3いずれか1項記載の不揮発性半導体記憶装置。

【請求項6】前記メモリセルゲート及び前記選択ゲートはそれぞれ第1導電層と、その上のゲート絶縁膜と、この絶縁膜上の第2導電層とを有し、前記第1導電層は前記メモリセルゲートと前記選択ゲートとにおいて同一の厚さを有し、前記ゲート絶縁膜は前記メモリセルゲートと前記選択ゲートとにおいて同一の厚さを有し、前記第2導電層は前記メモリセルゲートと前記選択ゲートとにおいて同一の厚さを有することを特徴とする請求項1又は2記載の不揮発性半導体記憶装置。

【請求項7】直列に接続され、それぞれ等しいゲート長を持ち、互いにこのゲート長と等しい離間距離を隔てて配置された複数個のメモリセルゲートと、
この複数個のメモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記メモリセルゲートと等しいゲート長をそれぞれ有し、互いに前記離間距離と等しい離間距離を隔て、前記メモリセルゲートから前記離間距離と等しい離間距離を隔てて配置された2つの第1選択ゲート群と、

前記複数個のメモリセルゲートのソース側又はドレイン

2

側の端部の一方に接続された前記メモリセルゲートと等しいゲート長を有し、前記メモリセルゲートから前記離間距離と等しい離間距離を隔てて配置された少なくとも1つの第2選択ゲート群とを有することを特徴とする不揮発性半導体記憶装置。

【請求項8】直列に接続され、それぞれ等しい第1ゲート長を持ち、互いにこの第1ゲート長と等しい第1離間距離を隔てて配置された複数個の第1メモリセルゲートと、

この複数個の第1メモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記複数個の第1メモリセルゲートと等しい第1ゲート長をそれぞれ有し、互いに前記第1離間距離を隔て、前記複数個の第1メモリセルゲートから前記第1離間距離を隔てて配置された2つの第1選択ゲート群と、

前記複数個の第1メモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記複数個の第1メモリセルゲートと等しい第1ゲート長を有し、前記複数個の第1メモリセルゲートから前記第1離間距離を隔てて配置された少なくとも1つの第2選択ゲート群と、

この第2選択ゲート群と前記第1離間距離を隔てて配置され、前記複数個の第1メモリセルゲートと等しい第1ゲート長を有する少なくとも1つの第3選択ゲート群と、

この第3選択ゲート群から前記第1離間距離と等しい第2離間距離を隔てて配置され、直列に接続され、それぞれ前記第1ゲート長と等しい第2ゲート長を持ち、互いにこの第2ゲート長と等しい第2離間距離を隔てて配置された複数個の第2メモリセルゲートと、

この複数個の第2メモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記複数個の第2ゲート長をそれぞれ有し、互いに前記第2離間距離を隔て、前記複数個の第2メモリセルゲートから前記第2離間距離を隔てて配置された2つの第4選択ゲート群とを有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特にチャネル領域に不純物注入がなされたトランジスタを有する微細な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】従来、不揮発性半導体記憶装置としては例えばデータの書き込み・消去を電気的に行う、EEPROM (Electrically Erasable Programmable Read-Only Memory) が知られている。このEEPROMでは、特にNAND型の場合では、互いに交差する行線と列線との交点にそれぞれメモリセルが配置されて、メモリセルアレイが構成されている。メモリセルには、通常、浮遊ゲートと制御ゲートとを積層してなる積層ゲート構造

のMOSトランジスタが用いられる。

【0003】EEPROMの中には、電氣的に一括消去可能なフラッシュメモリがある。フラッシュメモリとしては、高集積化が図られたNAND型フラッシュメモリが広く使用されている。

【0004】NAND型フラッシュメモリの代表的なメモリセルは、例えば「R. Shirota, 『A Review of 256Mb it NAND Flash Memories and NAND Flash Future Trend, Non-Volatile Semiconductor Memory Workshop(=NVS MW)(2000)』 pp22-31」に示されている。そこで、メモリセルユニットの平面構造を図20に示す。図20に示される通り、複数の直列していたメモリセルトランジスタに対して、その両側にメモリセルの選択トランジスタが配置されたNAND型の構造を持つ。

【0005】図20に示される通り、複数本のメモリセルゲート50が互いに平行に直線的に形成されている。この複数本のメモリセルゲートの両端には、それぞれ1本の選択ゲート51が互いに平行に、メモリセルゲート50に平行に直線的に形成されている。ここで、複数本のメモリセルゲートは互いに等しいゲート長 W_3 を有している。また、1対の1本の選択ゲート51は互いに等しいゲート長 W_4 を有していて、このゲート長 W_4 はメモリセルゲート50のゲート長 W_3 の2倍の大きさとして形成されている。

【0006】メモリセルゲート50同士の間には同一の幅のスペースF（Fは最小加工寸法）が設けられている。このスペースFは、メモリセルゲート50のゲート長 W_3 と等しい。さらに選択ゲートとこの選択ゲートに隣接するメモリセルゲートの間にはメモリセルゲート1同士の間スペースFと同一のスペースFが設けられている。

【0007】このメモリセルゲート50に直交する方向に互いに平行に素子活性領域52が形成されている。この素子活性領域52はメモリセルゲート50に直交する方向に互いに平行に形成された複数の素子分離領域53によって、複数に分断されている。

【0008】ここで、複数本、例えば16本のメモリセルゲート50の両端に1対の1本の選択ゲート51が形成されて1つのNANDストリング54が構成される。このNANDストリング54の端には、メモリセルゲート50間に設けられたスペースFの約2倍のスペース約2Fを置いて、さらに別のNANDストリング54が形成されている。ここで、互いに隣接するNANDストリング54の選択ゲート51間の素子活性領域52上には、コンタクト55が形成されている。

【0009】このように、ゲート長はメモリセルユニット内ですべて一定のライン&スペースであり、同一のピッチで配置されている。また、メモリセルゲートと同じサイズまで選択ゲートのチャネル長は微細化されている。選択ゲートは、隣接する2本のゲートで選択トラン

ジスタとして機能する。

【0010】ここで、図20に平面構造が示されるような従来の不揮発性半導体記憶装置では選択ゲート長自体が約2Fで、ソース側とドレイン側にそれぞれ1本ずつあることから約4Fとなり、隣接する他のメモリセルユニットの選択ゲートとの間隔が約2Fとなり、合計約6Fとなっている。

【0011】この図20におけるE-F線上での断面が図21に示される。図21に示されるように半導体基板58上にメモリセルゲート50及び選択ゲート51が設けられている。これらメモリセルゲート50及び選択ゲート51周囲の半導体基板58中に、ソース・ドレイン拡散層59が設けられている。それぞれのメモリセルゲート50及び選択ゲート51下の半導体基板58中にはチャネルイオン注入層60が形成されている。また、NANDストリング54の端に設けられた選択ゲート51の外側のソース・ドレイン拡散層59にはコンタクト55が接続されている。

【0012】各メモリセルゲート50及び選択ゲート51は、半導体基板58上にゲート絶縁膜63を介して、電荷蓄積層である浮遊ゲートとなる第1導電層64が形成されている。この第1導電層64上には、ゲート間絶縁膜65を介して、制御ゲートとなる第2導電層66が形成されている。ゲート間絶縁膜65は、例えばシリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜の積層膜であるONO（Oxide-Nitride-Oxide）膜から構成されている。

【0013】このように、一般に選択ゲートは、メモリセルトランジスタのゲート長より長く、短チャネル効果によるトランジスタのカットオフ特性の劣化を確保している。

【0014】ここで、図21に示された断面構造を持つ不揮発性半導体記憶装置は、図22のような回路図に示されるようにその回路構成がなされている。

【0015】図22に示されるようにNAND型フラッシュメモリのメモリセルユニットでは、破線で囲われた領域で示されるメモリブロック70を形成する複数個、例えば16個のメモリセルトランジスタM0～M15が直列に接続され、その一方側に1つのドレイン側選択トランジスタSG1、他方側に1つのソース側選択トランジスタSG2が接続されている。

【0016】複数のメモリセルが直列に接続されて1つのメモリセルアレイであるNANDセル（メモリセルユニット）が形成されている。各メモリセルのソースとドレインは素子領域上に設けられた拡散層領域を介して互いに直列に接続されている。

【0017】各メモリセルトランジスタM0～M15のゲートには、ワード線WL0～WL15がそれぞれ1対1で接続されている。ドレイン側選択トランジスタSG1のゲートには、選択ゲート線SGDが接続されてい

5

る。ソース側選択トランジスタSG2のゲートには、選択ゲート線SGSが接続されている。

【0018】ドレイン側選択トランジスタSG1のソースは、データ線であるビット線DQに接続されている。ソース側選択トランジスタSG2のソースは、共通ソース線CSに接続されている。

【0019】このNANDストリング70は、図示はしないがデータ線の延在する方向に複数個接続されている。また、ワード線の延在する方向にビット線ごとに同様の回路構成のNANDストリング70が複数個設けられている。

【0020】NANDストリング70は縦続的に直列接続され、NANDストリングの端部にそれぞれコンタクトを設けて、両端の選択トランジスタを介してメモリセルトランジスタが接続される構成が複数個連続する。

【0021】また、図23にメモリセルユニットの回路図が示されるようなAND型フラッシュメモリも使用されている。メモリセルトランジスタは、この場合でも電荷蓄積層である浮遊ゲートを持つ構造の1つ以上のトランジスタからなる不揮発性メモリセルアレイを構成している。

【0022】すなわち、図23に示されるようにAND型フラッシュメモリのメモリセルユニットでは、破線で囲われた領域で示されるメモリブロック71を形成する複数個、例えば16個のメモリセルトランジスタM0～M15が並列に接続され、その一方側に1つのドレイン側選択トランジスタSG1、他方側に1つのソース側選択トランジスタSG2が接続されている。

【0023】複数のメモリセルが直列に接続されて1つのメモリセルアレイであるANDセル（メモリセルユニット）が形成されている。各メモリセルのソースとドレインは素子領域上に設けられた拡散層領域を介して互いに並列に接続されている。

【0024】各メモリセルトランジスタM0～M15のゲートには、ワード線WL0～WL15がそれぞれ1対1で接続されている。ドレイン側選択トランジスタSG1のゲートには、選択ゲート線SGが接続されている。ソース側選択トランジスタSG2のゲートには、選択ゲート線SGSが接続されている。

【0025】ドレイン側選択トランジスタSG1のソースは、データ線であるビット線DQに接続されている。ソース側選択トランジスタSG2のソースは、ソース線CSに接続されている。

【0026】このメモリブロック71は、図示はしないがデータ線の延在する方向に複数個接続されている。また、ワード線の延在する方向にビット線ごとに同様のメモリブロックが複数個設けられている。

【0027】ここで、特開昭59-74677号公報には、その第4図乃至第11図などに、フィールド上で、周辺トランジスタ部の浮遊ゲートと制御ゲート間の層間

6

酸化膜中に開口部を設け、配線の自由度を向上した技術が記載されている。

【0028】さらに、特開2000-188384号公報には、メモリセルと同一構造の選択ゲートセルを有して、選択ゲートを含めた全てのワード線の間隔が同一となることで、微細化にあたり近接効果の影響を受けることがない高い寸法制御性を有するEEPROMの構造が記載されている。さらに同公報には、選択ゲートセルは、必ずしもビット線及びソース線側に各1個配置されるばかりでなく、それぞれ複数個の選択ゲートセルを配置する場合もあると記載されている。

【0029】

【発明が解決しようとする課題】以上のような従来の半導体装置では、以下の課題が生じる。

【0030】その結果として、NANDストリングは選択ゲートの部分で不規則なライン/スペースが存在し、これは微細加工が進んでくるとリソグラフィでのパターニングする際の加工マージンの低下に繋がってくる。不規則パターンで設計された場合には、微細化が制限される場合がある。

【0031】すなわち、微細加工技術の限界に基づく最小線幅をFとすると、メモリセルトランジスタのゲート長、メモリセルトランジスタのゲート間隔、メモリセルトランジスタのゲートと選択トランジスタのゲートとの間隔はいずれもFで形成される。しかし、選択トランジスタのゲート幅はカットオフ特性を向上させるために約2Fで形成されていて、不規則なライン幅、スペース幅が結果として存在する。

【0032】すなわち、メモリセルゲートにおいて、そのライン/スペースが1Fで、選択ゲートの場合、ライン/スペースが約2Fのゲート長である場合、選択ゲートに隣接するメモリセルゲートのゲート長がその製造工程において、リソグラフィの際に余計にエッチングされて所望の長さで形成されなくなってしまう、必要な特性が得られなくなる事態が生じる。そのため、最小線幅Fよりも大きい値ですべてのゲート長を設計せざるを得なくなり、メモリセルトランジスタ領域の面積増加がもたらされてしまう。

【0033】本発明の目的は以上のような従来技術の課題を解決することにある。

【0034】特に、本発明の目的は、トランジスタのカットオフ特性を向上させた微細な不揮発性半導体記憶装置を提供することである。

【0035】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、半導体基板と、この半導体基板中に形成された素子領域と、前記半導体基板中の素子領域を分離する素子分離領域と、前記素子領域に複数個形成され、それぞれが等しいゲート長を有し、かつ、互いにこのゲート長と等しい離間距離を隔てるメモリセルゲ-

10

20

30

40

50

7

トと、このメモリセルゲートとの間に前記離間距離を隔てて隣接して、それぞれが前記離間距離を隔てていて、それぞれが前記ゲート長を有して形成された2つの選択ゲートとを備える不揮発性半導体記憶装置である。

【0036】本発明の別の特徴は、直列に接続され、それぞれ等しいゲート長を持ち、互いにこのゲート長と等しい離間距離を隔てて配置された複数個のメモリセルゲートと、この複数個のメモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記メモリセルゲートと等しいゲート長をそれぞれ有し、互いに前記離間距離と等しい離間距離を隔て、前記メモリセルゲートから前記離間距離と等しい離間距離を隔てて配置された2つの第1選択ゲート群と、前記複数個のメモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記メモリセルゲートと等しいゲート長を有し、前記メモリセルゲートから前記離間距離と等しい離間距離を隔てて配置された少なくとも1つの第2選択ゲート群とを有する不揮発性半導体記憶装置である。

【0037】本発明の別の特徴は、直列に接続され、それぞれ等しい第1ゲート長を持ち、互いにこの第1ゲート長と等しい第1離間距離を隔てて配置された複数個の第1メモリセルゲートと、この複数個の第1メモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記複数個の第1メモリセルゲートと等しい第1ゲート長をそれぞれ有し、互いに前記第1離間距離を隔て、前記複数個の第1メモリセルゲートから前記第1離間距離を隔てて配置された2つの第1選択ゲート群と、前記複数個の第1メモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記複数個の第1メモリセルゲートと等しい第1ゲート長を有し、前記複数個の第1メモリセルゲートから前記第1離間距離を隔てて配置された少なくとも1つの第2選択ゲート群と、この第2選択ゲート群と前記第1離間距離を隔てて配置され、前記複数個の第1メモリセルゲートと等しい第1ゲート長を有する少なくとも1つの第3選択ゲート群と、この第3選択ゲート群から前記第1離間距離と等しい第2離間距離を隔てて配置され、直列に接続され、それぞれ前記第1ゲート長と等しい第2ゲート長を持ち、互いにこの第2ゲート長と等しい第2離間距離を隔てて配置された複数個の第2メモリセルゲートと、この複数個の第2メモリセルゲートのソース側又はドレイン側の端部の一方に接続された前記複数個の第2ゲート長をそれぞれ有し、互いに前記第2離間距離を隔て、前記複数個の第2メモリセルゲートから前記第2離間距離を隔てて配置された2つの第4選択ゲート群とを有する不揮発性半導体記憶装置である。

【0038】

【発明の実施の形態】（第1の実施の形態）本実施の形態を示すNAND型不揮発性半導体記憶装置のメモリセルユニットの平面構成を図2に示す。図2に示される通

8

り、複数本のメモリセルゲート1が互いに平行に直線的に形成されている。この複数本のメモリセルゲートの両端には、それぞれ2本の選択ゲート2が互いに平行に、メモリセルゲート1に平行に直線的に形成されている。ここで、複数本のメモリセルゲートは互いに等しいゲート長W1を有している。なお複数本のメモリセルゲートは8本、16本などの本数で構成できる。また、1対の2本の選択ゲート2は互いに等しいゲート長W2を有していて、このゲート長W2はメモリセルゲート1のゲート長W1と等しく形成されている。

【0039】メモリセルゲート1同士の間には同一の幅のスペースF（Fは最小加工寸法）が設けられている。このスペースFは、メモリセルゲート1のゲート長W1及び選択ゲート2のゲート長W2と等しい。さらに選択ゲートとこの選択ゲートに隣接するメモリセルゲートの間にはメモリセルゲート1同士の間スペースFと同一のスペースFが設けられている。

【0040】このメモリセルゲート1に直交する方向に互いに平行に素子活性領域3が形成されている。この素子活性領域3はメモリセルゲート1に直交する方向に互いに平行に形成された複数の素子分離領域4によって、複数に分断されている。

【0041】ここで、複数本、例えば16本のメモリセルゲート1の両端に1対の2本の選択ゲート2が形成されて1つのNANDストリング5が構成される。このNANDストリング5の端には、メモリセルゲート1同士のスペースFと同一のスペースFを置いて、さらに別のNANDストリング5が形成されている。ここで、互いに隣接するNANDストリング5の選択ゲート2間の素子活性領域3上には、コンタクト6が形成されている。

【0042】このように、ゲート長はメモリセルユニット内ですべて一定のライン&スペースであり、同一のピッチで配置されている。また、メモリセルゲートと同じサイズまで選択ゲートのチャネル長は微細化されている。選択ゲートは、隣接する2本のゲートで選択トランジスタとして機能する。

【0043】この図2におけるA-B線上での断面が図1に示される。図1に示されるように半導体基板10上にメモリセルゲート1及び選択ゲート2が設けられている。これらメモリセルゲート1及び選択ゲート2周囲の半導体基板10中に、ソース・ドレイン拡散層11が設けられている。それぞれのメモリセルゲート1及び選択ゲート2下の半導体基板10中にはチャネルイオン注入層12が形成されている。また、NANDストリング5の端の選択ゲート2の外側のソース・ドレイン拡散層11にはコンタクト6が接続されている。

【0044】各メモリセルゲート1及び選択ゲート2は、半導体基板10上にゲート絶縁膜13を介して、電荷蓄積層である浮遊ゲートとなる第1導電層14が形成されている。この第1導電層14上には、ゲート間絶縁

膜15を介して、制御ゲートとなる第2導電層16が形成されている。ゲート間絶縁膜15は、例えばシリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜の積層膜であるONO膜から構成されている。

【0045】ここで、選択ゲート2において、このゲート間絶縁膜15の存在により、下方の電荷蓄積層14にのみ電位が与えられ、上方の制御ゲート16は絶縁されたままとなっている。

【0046】選択ゲート2はメモリセルゲート1と異なり、第1層目の導電層にのみ電位が与えられている。この場合、素子分離領域上に第1導電層14が引き出されて第2導電層16とは独立に電位が与えられている。

【0047】各NANDストリングの両端部に2本を選択ゲートを1対用いることで、3F分が選択ゲート領域に必要である。すなわち、選択ゲートのゲート長はFで2本あるため、2Fがゲート長として占められ、2本のゲート間距離がFであり、合計3Fが必要となる。

【0048】その分、選択ゲート間もFとなり、もしも従来方式の選択ゲートのゲート長が2Fであったとしたならば、従来方式では6Fであったところが、本実施の形態の不揮発性半導体記憶装置では、7Fとなり若干のチップ面積の増大を招くが、その分加工マージンを向上できるため、これをキャンセルする程度のグランドルールの微細化が可能であれば十分チップ面積縮小としてはメリットが発生する。

【0049】すなわち、本実施の形態の不揮発性半導体記憶装置では、選択ゲート間がFで、2本を選択ゲートが2Fで2Fに選択ゲート間距離Fを加えて3Fがソース側とドレイン側とにあることから、6Fで、他のメモリセルユニットとの間のFを加えて7Fとなる。

【0050】このように、選択ゲートをメモリセルゲートと同じピッチ、ゲート長として、結果として、メモリセルユニットのメモリセル部以外の長さを6Fから7Fに拡大した場合でも、この増加分を補う程度にF自体を小さくできれば、トータルでメモリセルユニットの微細化が実現できる。

【0051】例えば、従来不規則パターンではFが0.1 μ mまでしか微細化できずに、本実施の形態を適用するとFが0.09 μ mまで微細化できる場合、従来技術では6と0.1の積である0.6がメモリセルユニットのメモリセル部以外の長さになる。これに対し、本実施の形態の不揮発性半導体記憶装置では、7と0.09の積である0.63になり、さらにFがより一層微細化できれば本実施の形態の方が面積縮小できる。

【0052】また、従来の不揮発性半導体記憶装置のNANDストリングでは選択ゲートとメモリセルゲート間の間隔がFであると、不規則パターンのパターンニングに対してマージンが減るが、本実施の形態の不揮発性半導体記憶装置のように全てが同じピッチで配列されている場合は局所的なリソグラフィマージンの低下を危惧する

必要は無くなる。

【0053】ここで、隣接して形成された2本を選択ゲートは同一の信号線によって、制御されることが可能である。また、場合により、異なるタイミングによって2本を選択ゲートをそれぞれ独自に制御して、それぞれの選択ゲートのカットオフ特性を変えることも可能である。この場合、制御回路を設けてそれぞれの選択ゲートを制御する。

【0054】また、場合により、NANDストリング内のソース側の選択ゲートのゲート本数を1つとし、ドレイン側の選択ゲートのゲート本数を2つとしてもよい。この場合、リークがソース側で生じて、そのリークを許容範囲内に収められればよい。

【0055】さらに、場合により、NANDストリング内のソース側の選択ゲートのゲート本数を2つとし、ドレイン側の選択トランジスタのゲート本数を1つとしてもよい。この場合、リークがドレイン側で生じて、そのリークを許容範囲内に収められればよい。

【0056】このように、メモリセルのゲートのパターンをすべて共通のライン&スペースとして、選択ゲート部分もメモリセルと同様なゲート長にすることでマージンを確保することで微細化に対して加工マージンを向上していくことができる。

【0057】なお、1つのメモリセルユニット内において、メモリセルゲートのソース側、ドレイン側に隣接する選択ゲートの本数は、それぞれ3本以上としてもよい。ただし、それぞれの選択ゲートの長さやそれぞれの選択ゲート間距離はすべて、メモリセルゲート間距離及びメモリセルゲート長と等しくする。なお、面積増加を考慮すると、1つのメモリセルユニットにおけるソース側、ドレイン側それぞれに2本ずつの選択ゲートを設けることが好ましい。

【0058】このように、本実施の形態の不揮発性半導体記憶装置においては、ラインとスペースが1対1の高密度パターンで形成されているため、リソグラフィでの加工マージンが向上し、微細な不揮発性半導体記憶装置が提供できる。

【0059】本実施の形態の不揮発性半導体記憶装置によれば、選択トランジスタのカットオフ特性を向上させて微細化を図ることができ、選択トランジスタとメモリセルトランジスタは、それぞれトランジスタの閾値電圧の異なるチャネル長依存性が得られる。

【0060】ここで、図1に示された断面構造を持つ不揮発性半導体記憶装置は、図3のような回路図に示されるようにその回路構成がなされている。

【0061】図3に示されるようにNAND型フラッシュメモリのメモリセルユニットでは、破線で囲われた領域で示されるメモリブロック5を形成する複数個、例えば16個のメモリセルトランジスタM0~M15が直列に接続され、その一方側に2つのドレイン側選択トラン

11

ジスタSG11、SG12、他方側に2つのソース側選択トランジスタSG21、SG22が接続されている。

【0062】複数のメモリセルが直列に接続されて1つのメモリセルアレイであるNANDセル（メモリセルユニット）が形成されている。各メモリセルのソースとドレインは素子領域上に設けられた拡散層領域を介して互いに直列に接続されている。

【0063】各メモリセルトランジスタM0～M15のゲートには、ワード線WL0～WL15がそれぞれ1対1で接続されている。ドレイン側選択トランジスタSG11のゲートには、選択ゲート線SGD1が接続され、ドレイン側選択トランジスタSG12のゲートには、選
10 択ゲート線SGD2が接続されている。ソース側選択トランジスタSG21のゲートには、選択ゲート線SGS1が接続され、ソース側選択トランジスタSG22のゲートには、選択ゲート線SGS2が接続されている。

【0064】ドレイン側選択トランジスタSG12のソースは、データ線であるビット線DQに接続されている。ソース側選択トランジスタSG22のソースは、共通ソース線CSに接続されている。

【0065】このNANDストリング5は、図示はしないがデータ線の延在する方向に複数個接続されている。また、ワード線の延在する方向にビット線ごとに同様の回路構成のNANDストリング5が複数個設けられている。

【0066】なお、選択トランジスタは、メモリセルのブロックを選択するためにメモリセルトランジスタの両側に配置されていなくてもよく、片側だけに配置されていても良い。

【0067】NANDストリング5は縦続的に直列接続され、NANDストリングの端部にそれぞれコンタクトを設けて、両端の選択トランジスタを介してメモリセルトランジスタが接続される構成が複数個連続する。

【0068】本実施の形態はNAND型フラッシュメモリに限られるのではなく、図4にメモリセルユニットの回路図が示されるようなAND型フラッシュメモリにも適用することができる。メモリセルトランジスタは、この場合でも電荷蓄積層である浮遊ゲートを持つ構造の1つ以上のトランジスタからなる不揮発性メモリセルアレイを構成している。

【0069】すなわち、図4に示されるようにAND型フラッシュメモリのメモリセルユニットでは、破線で囲われた領域で示されるメモリブロック20を形成する複数個、例えば16個のメモリセルトランジスタM0～M15が並列に接続され、その一方側に2つのドレイン側選択トランジスタSG11、SG12、他方側に2つのソース側選択トランジスタSG21、SG22が接続されている。

【0070】複数のメモリセルが直列に接続されて1つのメモリセルアレイであるANDセル（メモリセルユニ
50

12

ット）が形成されている。各メモリセルのソースとドレインは素子領域上に設けられた拡散層領域を介して互いに並列に接続されている。

【0071】各メモリセルトランジスタM0～M15のゲートには、ワード線WL0～WL15がそれぞれ1対1で接続されている。ドレイン側選択トランジスタSG11のゲートには、選択ゲート線SGD1が接続され、ドレイン側選択トランジスタSG12のゲートには、選
10 択ゲート線SGD2が接続されている。ソース側選択トランジスタSG21のゲートには、選択ゲート線SGS1が接続され、ソース側選択トランジスタSG22のゲートには、選択ゲート線SGS2が接続されている。

【0072】ドレイン側選択トランジスタSG12のソースは、データ線であるビット線DQに接続されている。ソース側選択トランジスタSG22のソースは、ソース線CSに接続されている。

【0073】このメモリブロック20は、図示はしないがデータ線の延在する方向に複数個接続されている。また、ワード線の延在する方向にビット線ごとに同様のメモリブロックが複数個設けられている。

【0074】なお、選択トランジスタは、メモリセルのブロックを選択するためにメモリセルトランジスタの両側に配置されていなくてもよく、片側だけに配置されていても良い。

【0075】このように、本実施の形態は、NAND型フラッシュメモリのみならず、AND型フラッシュメモリにも適用できる。つまり、選択ゲートを有するフラッシュメモリセルに対して、選択ゲートをメモリセルと同様のゲート長にし、同一ピッチで配列することによってリソグラフィ的に微細加工しやすいメモリセル構造を実現することができる。

【0076】本実施の形態は、露光マージンが高く、微細化に対しスケラブルなメモリセルアレイを実現する。メモリセルトランジスタと同じゲート長である場合、選択ゲートの短チャネル効果などのトランジスタ特性が確保できないが、選択ゲートを2本連結することでトランジスタ特性を確保できる。

【0077】本実施の形態の不揮発性半導体記憶装置では、ゲート長がFのトランジスタを2本直列に接続することで、ゲート長が2Fのトランジスタと同じ特性を得られ、かつ、ゲート長2Fのトランジスタと同等のカットオフ特性を得ることができる。

【0078】（第2の実施の形態）第1の実施の形態において、選択ゲートは第1導電層のみが導電層として機能し、第2導電層は絶縁されていた。本実施の形態では、選択ゲートのチャネル領域の不純物濃度をメモリセルゲートのチャネル領域と変えることにより選択トランジスタが最小加工寸法の2本の直列接続トランジスタであってもゲート長をFに保ったまま機能を損なわずに実現することができる。即ち、第1導電層と第2導電層と

の間の絶縁膜に設けた開口部を介して、チャネル領域に注入された不純物によって、不純物濃度を適宜、制御することができる。

【0079】選択ゲートは、メモリセルゲートと同じゲート長になるので短チャネル効果によるカットオフ特性が犠牲になる。この解決方法として第1の実施の形態で説明した構成以外に、例えば、先願である特願2001-158066において、提案されているように、メモリセルゲートと選択ゲートを別々のチャネルインプラによって形成し、異なるチャネル制御を行う方法も提案されている。

【0080】本実施の形態におけるメモリセルユニットの平面構成を図5に示す。図5に示される通り、複数本のメモリセルゲート1が互いに平行に直線的に形成されている。この複数本のメモリセルゲートの両端には、それぞれ2本の実選ゲート21が互いに平行に、メモリセルゲート1に平行に直線的に形成されている。ここで、複数本のメモリセルゲートは互いに等しいゲート長W1を有している。なお複数本のメモリセルゲートは8本、16本などの本数で構成できる。また、1対の2本の実選ゲート2は互いに等しいゲート長W2を有していて、このゲート長W2はメモリセルゲート1のゲート長W1と等しく形成されている。

【0081】メモリセルゲート1同士の間には同一の幅のスペースF（Fは最小加工寸法）が設けられている。このスペースFは、メモリセルゲート1のゲート長W1及び実選ゲート2のゲート長W2と等しい。さらに実選ゲートとこの実選ゲートに隣接するメモリセルゲートの間にはメモリセルゲート1同士の間スペースFと同一のスペースFが設けられている。

【0082】このメモリセルゲート1に直交する方向に互いに平行に素子活性領域3が形成されている。この素子活性領域3はメモリセルゲート1に直交する方向に互いに平行に形成された複数の素子分離領域4によって、複数に分断されている。

【0083】各実選ゲート21の各素子活性領域3上では、実選トランジスタチャネル部用イオン注入のための開口部22が設けられている。

【0084】さらに図5の平面図上では、活性領域3と実選ゲート21の交点付近を中心に破線で示される開口部22に自己整合的に不純物注入が行われている。この結果、実選ゲートとメモリセルゲートとは、高密度に稠密に配置されているにもかかわらず、異なるチャネル部分の不純物濃度をそれぞれ個別に自己整合的に形成することができる。

【0085】各メモリセルのソースとドレインは活性領域3を介して互いに直列に接続されている。

【0086】ここで、複数本、例えば16本のメモリセルゲート1の両端に1対の2本の実選ゲート2が形成されて1つのNANDストリング23が構成される。この

NANDストリング5の端には。メモリセルゲート1同士のスペースFと同一のスペースFを置いて、さらに別のNANDストリング23が形成されている。ここで、互いに隣接するNANDストリングの実選ゲート間の素子活性領域上には、コンタクト24が形成されている。

【0087】このように、ゲート長はメモリセル内ですべて一定のライン&スペースであり、同一のピッチで配置されている。また、メモリセルトランジスタと同じサイズまで実選ゲートのチャネル長は微細化されている。実選ゲートは、ゲート2本分を用いて実選トランジスタとして用いる。

【0088】この図5におけるC-D線上での断面が図6に示される。図6に示されるように半導体基板10上にメモリセルゲート1及び実選ゲート21が設けられている。これらメモリセルゲート1及び実選ゲート21周囲の半導体基板10中に、ソース・ドレイン拡散層11が設けられている。それぞれのメモリセルゲート1下の半導体基板10中にはチャネルイオン注入層12が形成されている。また、実選ゲート21下の半導体基板10中には、開口部22を介して注入されたチャネルイオン注入層25が設けられている。また、NANDストリング23の端の実選ゲート2の外側のソース・ドレイン拡散層11にはコンタクト24が接続されている。

【0089】各メモリセルゲート1は、半導体基板10上にゲート絶縁膜13を介して、電荷蓄積層である浮遊ゲートとなる第1導電層14が形成されている。この第1導電層14上には、ゲート間絶縁膜15を介して、制御ゲートとなる第2導電層16が形成されている。ゲート間絶縁膜15は、例えばシリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜の積層膜であるONO膜から構成されている。

【0090】ここで、実選ゲート21は、半導体基板10上にゲート絶縁膜13を介して、電荷蓄積層である浮遊ゲートとなる第1導電層14が形成されている。この第1導電層14上には、ゲート間絶縁膜15が形成されている。そのゲート間絶縁膜15中には、開口部22が設けられている。ゲート間絶縁膜15及び開口部22上には、制御ゲートとなる第2導電層16が形成されている。この開口部22中には、第2導電層16と同一材料の導電材量が埋め込まれていて、第2導電層16と第1導電層14とが電気的に接続された接続部となっている。ゲート間絶縁膜15は、例えばシリコン酸化膜、シリコン窒化膜、及びシリコン酸化膜の積層膜であるONO膜から構成されている。

【0091】また、半導体基板10中のソース・ドレイン拡散層11の間の領域の表面付近には、ソース・ドレイン拡散層11に接触してチャネルイオン注入層12が形成されている。さらに半導体基板10中の表面付近には、ソース・ドレイン拡散層11に囲まれて、開口部22の直下を少なくとも含む領域に実選トランジスタチャ

ネル拡散層25が形成されている。

【0092】選択トランジスタチャネル拡散層25は、その不純物濃度はメモリセルトランジスタチャネル拡散層12よりも高濃度で、その半導体基板中での深さはメモリセルトランジスタチャネル拡散層12よりも深く形成されている。

【0093】ここで、選択ゲート21下の絶縁膜15中に設けられる開口部22の大きさは選択ゲート21の長さの約半分程度の長さとなっている。

【0094】なお、選択ゲート21中の開口部22の長さを制御することで、選択トランジスタチャネル拡散層25の長さを変化させることができる。

【0095】さらに、開口部22を介して選択ゲート21下に注入されるイオン注入のドーズ量をメモリセルトランジスタとは独立に制御することで、選択トランジスタのチャネル拡散層の濃度を自由に設定できる。

【0096】なお、選択ゲート21のチャネル部の不純物濃度は例えば約 $1.0 \times 10^{17} / \text{cm}^3$ 程度である。

【0097】さらに、メモリセルゲート1の高さは選択ゲート21の高さと等しく形成されている。

【0098】本実施の形態は、第1の実施の形態同様にNAND型フラッシュメモリのみならず、AND型フラッシュメモリ等の、選択ゲートを有するフラッシュメモリセルに対して、選択ゲートをメモリセルと同様のゲート長にし、同一ピッチで配列することによってリソグラフィ的に微細加工しやすいメモリセル構造を実現することができる。

【0099】このように選択ゲート21は第1導電層14に電位を供給できるようになっており、一般的なMOSFETと同様に機能し、その積層ゲート構造は開口部がある点以外はメモリセルトランジスタとその組成やサイズは同様である。

【0100】こうして、本実施の形態は第1の実施の形態同様の効果を得ることができる。

【0101】さらに、本実施の形態では、選択トランジスタのチャネル領域の不純物濃度がメモリセルトランジスタのチャネル領域の不純物濃度よりも高く設定できることから、選択トランジスタの閾値をメモリセルトランジスタの閾値よりも大きくでき、選択トランジスタに必要なカットオフ特性（電流遮断特性）を持った不揮発性半導体記憶装置を提供できる。

【0102】さらに、選択トランジスタの浮遊ゲートと選択ゲートとをゲート間の絶縁膜中に設けられた開口部を介して接続している。このような構成の不揮発性半導体記憶装置とすることで、必要なチャネルイオン濃度を有する選択トランジスタと、微細化に適するように濃度が薄く設定されたチャネル濃度を有して、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性が良好なメモリセルトランジスタとを備えた微細な不揮発性半導

体記憶装置が提供できる。

【0103】次に、図6乃至図17を用いて、本実施の形態の不揮発性半導体記憶装置の製造方法を説明する。図6から図17は、図5におけるC-D線上での部分又は全体の断面に相当する。

【0104】まず、図7に示されるように、P型のシリコンからなる半導体基板10上に犠牲シリコン酸化膜30を形成する。次に、場合により、P型ウエル或いはN型ウエル及びP型ウエルの二重ウエル等を形成し活性化

【0105】次に半導体基板10或いはその上にウエルが形成された領域に、N型トランジスタを形成する場合は、メモリセルトランジスタと、選択トランジスタとの両方に同時に同じB（ホウ素）などのP型不純物をチャネル制御のためにチャネルイオン注入を行い、不純物イオン注入層12を半導体基板10の表面付近に形成する。

【0106】次に図8に示されるように、イオン注入のために形成した犠牲シリコン酸化膜30を剥離し、ゲート絶縁膜13を形成する。そして、浮遊ゲート電極用のゲート電極材として、例えばポリシリコンを堆積して浮遊ゲート電極層14を形成する。このポリシリコンを導電性にするために、予め例えばP（リン）がドーブされたものを用いる。また、或いはイオン注入で、Pをイオン注入してもよい。

【0107】次に、この浮遊ゲート電極層14上に、素子分離領域を加工するためのマスク材31、例えばシリコン窒化膜（ Si_3N_4 ）をその上に堆積する。

【0108】次に、図9に示されるようにシリコン窒化膜であるマスク材31を除去する。

【0109】次に、図10に示されるように、露出している表面上にゲート間絶縁膜15を例えばONO膜にて堆積させる。

【0110】次に、図11に示されるように、堆積されたゲート間絶縁膜15の上に、マスク材32としてポリシリコン及びその他のマスク材例えばシリコン酸化膜を堆積する。

【0111】次に、図12に示されるように、メモリセルユニットの選択トランジスタのチャネル予定領域の一部をリソグラフィでパターンニングして、マスク材32上にフォトリジスト33を堆積して、開口部34を設ける。ここでは、2つの開口部34を設けた状態を示している。

【0112】次に、図13に示されるように、フォトリジスト33の開口部34直下のマスク材32をエッチングして開口する。

【0113】このマスク材のパターンニングに際しては、半導体装置製造技術における各世代での最小加工寸法を加工できる方法で加工する（一般に最高性能の高価な微細加工技術を用いることになる）。このため、マスク材

17

に設けられる開口部に合わせずれば最小限に抑制される。

【0114】次に、図14に示されるように、フォトレジスト33を除去して、選択トランジスタのチャネル領域となる半導体基板10にゲート間絶縁膜15、浮遊ゲート電極層14、ゲート絶縁膜13を介してイオン注入を行って、選択トランジスタチャネル拡散層25を形成する。この時の注入イオン種は通常は、B（ホウ素）が使用される。但し、表面チャネル型PMOSならば、P（燐）であることもある。

【0115】この時、メモリセルトランジスタ領域にはマスク材32が有り、イオン注入されたイオン種はマスク材32中で減衰してしまうような膜厚構成になっていると同時に、このイオン注入の加速エネルギーは電荷蓄積層を越えて、半導体基板10に届くエネルギーに調整されている。

【0116】ここで、フォトレジスト33を残さずにイオン注入を行っているが、フォトレジスト33を残したままイオン注入を行い、その後でフォトレジスト33を除去するともできる。

【0117】次に、図15に示されるように、開口部34下のゲート間絶縁膜15をエッチング開口する。

【0118】なお、選択トランジスタチャネル部拡散層25を形成するイオン注入はゲート間絶縁膜15をエッチング開口した後に行っても良い。なお、ゲート間絶縁膜15を残したままイオン注入すると、多結晶シリコン層からなる浮遊ゲート電極層14の表面へのコンタミネーションを防止でき、ゲート間絶縁膜15を保護膜として利用できる。

【0119】次に、図16に示されるように、マスク材32を剥離する。次に、制御ゲート電極材16として、ポリシリコンとメタルシリサイドとして、例えばWSi（タングステンシリサイド）等を堆積する。ここで、制御ゲート材は、例えばポリシリコンのみを堆積させても良い。この場合、ポリシリコンを堆積させて、ゲート加工を行った後にシリサイド（Salicide：Self-Aligned Silicide：自己整合的なシリサイド形成技術）方法を用いて、シリサイドを使用した電極を形成することができる。

【0120】次に、図17に示されるように、ゲート電極領域をリソグラフィにてパターンニングし、積層ゲート構造をエッチング加工し、電荷蓄積層14、ゲート間絶縁膜15、制御ゲート16からなるメモリセルトランジスタゲート電極、電荷蓄積層14、ゲート間絶縁膜15、制御ゲート16からなる選択トランジスタゲート電極を同一のゲート長、同一のピッチとなるように形成する。この時のエッチング加工はRIEを用いる。ここで、メモリセルユニットごとにメモリセルの端部に1対の2本の制御ゲートが形成される。

【0121】次に、図6に示されるように、積層ゲート

18

構造であるメモリセルトランジスタゲート電極及び選択トランジスタゲート電極をマスクにして、半導体基板10中に不純物をイオン注入して、ソース・ドレインを形成する。

【0122】特に、浮遊ゲートと制御ゲートを電氣的に短絡させるために選択トランジスタのゲート間絶縁膜を開口した後にイオン注入を行えば、リソグラフィ工程の追加をせずに本実施の形態が可能となる。

【0123】この製造方法では、電荷蓄積層14と制御ゲート16とを分離しているゲート間絶縁膜15を一部分除去する方法を採用している。この方法はメモリセルユニット内の選択ゲート電極に適用される。この方法は、電荷蓄積層14にコンタクトを取るための方法であるが、この製造工程途中で、次の条件を満たす場合は、浮遊ゲート越しに選択ゲートのチャネル部のみにイオン注入することが可能である。

【0124】すなわち、メモリセルゲートにはこのイオン注入により不純物がマスク材中で減衰して、電荷蓄積層に届かず、また、選択ゲート上では、電荷蓄積層及びゲート絶縁膜越しにイオン注入された不純物が半導体基板に注入されて、メモリセルゲートと選択ゲートとで異なる不純物濃度のチャネル領域を形成すれば、メモリセル特性と選択ゲートの特性をそれぞれ満たすようにそれぞれのチャネル部を形成し、新たなリソグラフィ工程の追加を伴わずに、且つ、自己整合プロセスによりそれぞれの特性向上を実現できる。

【0125】選択ゲートへの自己整合的なチャネルイオン注入が行え、位置合わせずれがなく、選択ゲートのチャネル不純物を形成できる。

【0126】上記製造方法で選択トランジスタとメモリセルトランジスタを異なるチャネル不純物濃度に自己整合的に独立して形成することが可能である。

【0127】このようにメモリセルの選択トランジスタのチャネル部の一部分の不純物濃度とメモリセル部のチャネル部の不純物濃度の異なるそれぞれのトランジスタが自己整合的に形成される。ここで、選択トランジスタにおいては、電荷蓄積層下のゲート絶縁膜には、チャネルイオン注入を行った際の通過イオンの一部が残っている。その残留している領域は、電荷蓄積層上の電極間絶縁膜中に設けられた開口部の形状の直下を含んだ周辺領域となっている。

【0128】本実施の形態によれば、メモリセルトランジスタのゲート絶縁膜を通してチャネル注入することがなく、特に浮遊ゲートを持つ構造の不揮発性半導体記憶装置の特性劣化を引き起こすことがない。

【0129】尚、本実施の形態は、N型トランジスタでも、P型トランジスタであっても良く、またメモリセルトランジスタ及び選択トランジスタのチャネル制御のためにイオン注入する不純物イオン種として、B（ホウ素）でも、P（リン）でも良い。

19

【0130】このように、本実施の形態では、メモリセルトランジスタをマスクして、選択トランジスタのチャネル領域に対応したマスク材の高精度な開口部を設けて、この開口部を利用して、チャネル領域にイオン注入を行って、合わせずれを生じさずにチャネルイオン注入を行っている。

【0131】また、メモリセルトランジスタはゲート電極の第1導電層と第2導電層の間の絶縁膜に開口が無い状態で、選択トランジスタにイオン注入されるため、メモリセルトランジスタのチャネル領域の濃度は選択トランジスタのチャネル濃度とは独立に設定される。

【0132】（第2の実施の形態の第1の変形例）本変形例の不揮発性半導体記憶装置の構造では、図6に示された不揮発性半導体記憶装置の構造を図18に示すように変形し、1対の2本の選択ゲートのうちの片方、メモリセルゲートから遠い方の選択ゲートのゲート間絶縁膜に開口部22に対応した半導体基板10中に、濃いチャネルイオン注入領域25を形成して、カットオフ特性を向上できる。ここで、メモリセルゲートに隣接する選択ゲート下方にはメモリセルゲートと同じチャネルイオン注入領域12が形成されている。

【0133】なお、一つのNANDストリングの中で、ソース側、ドレイン側にそれぞれ2つずつの選択ゲートが設けられているが、ソース側、ドレイン側ともに又は一方をメモリセルゲートに隣接する選択ゲート下のチャネルイオン注入領域の不純物濃度、深さをメモリセルゲートのチャネルイオン注入領域の不純物濃度、深さと等しく設定することもできる。

【0134】この変形例の製造方法は、第2の実施の形態の製造方法において、図13に示される工程の後で、選択ゲート下にイオン注入を行なわない選択ゲート形成予定領域はフォトリソで被覆して、選択ゲート下にイオン注入を行なう選択ゲートについてのみ、半導体基板中に濃いイオン注入領域25を形成する。

【0135】このように、図6に示されるゲート構造を採りながら、選択トランジスタのメモリセルトランジスタに隣接した側を、レジスト（図示せず）でマスクして、チャネルイオン注入して、チャネルイオン注入領域の濃度や深さがメモリセルトランジスタから離間した選択トランジスタよりも薄く、浅く形成して、選択トランジスタ同士のカットオフ特性を異ならせることもできる。

【0136】すなわち、メモリセルトランジスタに隣接した選択ゲートのチャネルイオン注入領域は、その濃度、深さがメモリセルゲートのチャネルイオン注入領域の濃度、深さと等しくなっている。これに対し、メモリセルトランジスタから離間した側の選択ゲートのチャネルイオン注入領域は、その濃度、深さがメモリセルゲートのチャネルイオン注入領域の濃度、深さよりもより濃く、より深く形成されている。

20

【0137】この場合、メモリセルから遠い方のカットオフ特性を強くもたせ、メモリセルに近い側のメモリセルへの不純物拡散の影響を低く抑制することが可能である。このように構成することで、選択ゲートに隣接するメモリセルトランジスタへのチャネル不純物の染み出し現象を防止できる。

【0138】（第2の実施の形態の第2の変形例）本変形例の不揮発性半導体記憶装置の構造では、図6に示された不揮発性半導体記憶装置の構造を図19に示すように変形し、1対の2本の選択ゲート21のうちの片方、メモリセルゲート1に隣接する選択ゲート21のゲート間絶縁膜15に開口部22に対応した半導体基板10中に、濃いチャネルイオン注入領域25を形成して、カットオフ特性を向上できる。ここで、メモリセルゲート1から離間する選択ゲート21下方にはメモリセルゲート1と同じチャネルイオン注入領域12が形成されている。

【0139】なお、一つのNANDストリングの中で、ソース側、ドレイン側にそれぞれ2つずつの選択ゲート21が設けられているが、ソース側、ドレイン側ともに又は一方をメモリセルゲート1から離間する選択ゲート21下のチャネルイオン注入領域の不純物濃度、深さをメモリセルゲート1のチャネルイオン注入領域の不純物濃度、深さと等しく設定することもできる。

【0140】この変形例の製造方法は、第2の実施の形態の製造方法において、図13に示される工程の後で、選択ゲート下にイオン注入を行なわない選択ゲート形成予定領域はフォトリソで被覆して、選択ゲート下にイオン注入を行なう選択ゲートについてのみ、半導体基板中に濃いイオン注入領域25を形成する。

【0141】このように、図6に示されるゲート構造を採りながら、選択トランジスタのメモリセルトランジスタから離間した側を、レジスト（図示せず）でマスクして、チャネルイオン注入して、チャネルイオン注入領域の濃度や深さがメモリセルトランジスタに隣接した選択トランジスタよりも薄く、浅く形成して、選択トランジスタ同士のカットオフ特性を異ならせることもできる。

【0142】すなわち、メモリセルゲート1から離間した選択ゲート21のチャネルイオン注入領域は、その濃度、深さがメモリセルゲート1のチャネルイオン注入領域の濃度、深さと等しくなっている。これに対し、メモリセルゲート1に隣接した選択ゲート21のチャネルイオン注入領域は、その濃度、深さがメモリセルゲート1のチャネルイオン注入領域の濃度、深さよりもより濃く、より深く形成されている。

【0143】この場合、メモリセルに近い方のカットオフ特性を強くもたせている。

【0144】なお、選択ゲートを持つ不揮発性半導体記憶装置に対して、各実施の形態が適用できる。さらに、周辺回路中のトランジスタに対しても各実施の形態は適

21

用できる。

【0145】また、不揮発性半導体記憶装置に限らず、不揮発性半導体記憶装置を備えたメモリ混載半導体装置にも各実施の形態は適用できる。

【0146】

【発明の効果】本発明によれば、トランジスタのカットオフ特性を向上させた微細な不揮発性半導体記憶装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る不揮発性半導体記憶装置の構造を表す断面図。

【図2】 本発明の第1の実施の形態に係る不揮発性半導体記憶装置の構造を表す平面図。

【図3】 本発明の第1の実施の形態に係る不揮発性半導体記憶装置のNAND型フラッシュメモリで構成した例のフラッシュメモリセルユニットを表す回路図。

【図4】 本発明の第1の実施の形態に係る不揮発性半導体記憶装置のAND型フラッシュメモリで構成した例のフラッシュメモリセルユニットを表す回路図。

【図5】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の構造を表す平面図。

【図6】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の構造を表す断面図。

【図7】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図8】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図9】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図10】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図11】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図12】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図13】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図14】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図15】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図16】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

22

*【図17】 本発明の第2の実施の形態に係る不揮発性半導体記憶装置の製造方法の一工程を表す断面図。

【図18】 本発明の第2の実施の形態の第1の変形例に係る不揮発性半導体記憶装置の構造を表す断面図。

【図19】 本発明の第2の実施の形態の第2の変形例に係る不揮発性半導体記憶装置の構造を表す断面図。

【図20】 従来の不揮発性半導体記憶装置の構造を表す平面図。

【図21】 従来の不揮発性半導体記憶装置の構造を表す断面図。

【図22】 従来のNAND型フラッシュメモリの不揮発性半導体記憶装置のフラッシュメモリセルユニットを表す回路図。

【図23】 従来のAND型フラッシュメモリの不揮発性半導体記憶装置のフラッシュメモリセルユニットを表す回路図。

【符号の説明】

1 メモリセルゲート

2, 21 選択ゲート

3 素子活性領域

4 素子分離領域

5, 23 NANDストリング

6, 24 コンタクト

10 半導体基板

11 ソース・ドレイン拡散層

12 チャネルイオン注入層

13 ゲート絶縁膜

14 第1導電層（電荷蓄積層）

15 ゲート間絶縁膜（ONO膜）

16 第2導電層（制御ゲート）

20 メモリブロック

22, 34 開口部

25 選択トランジスタチャネル拡散層

31, 32 マスク材

33 フォトレジスト

CS 共通ソース線

DQ データ線

M0~M15 メモリセルトランジスタ

SG11, SG12, SG21, SG22 選択トランジスタ

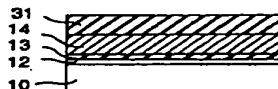
SGD1, SGD2, SGS1, SGS2 選択ゲート線

WL0~WL15 ワード線

【図7】



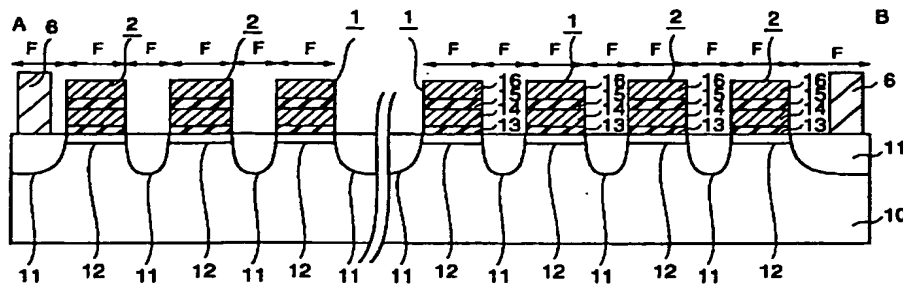
【図8】



【図9】

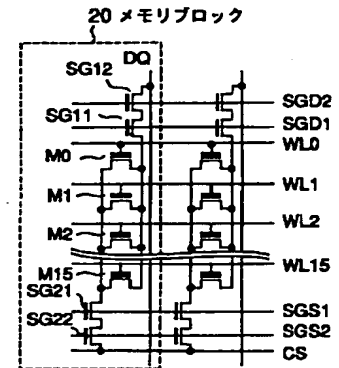


【図1】

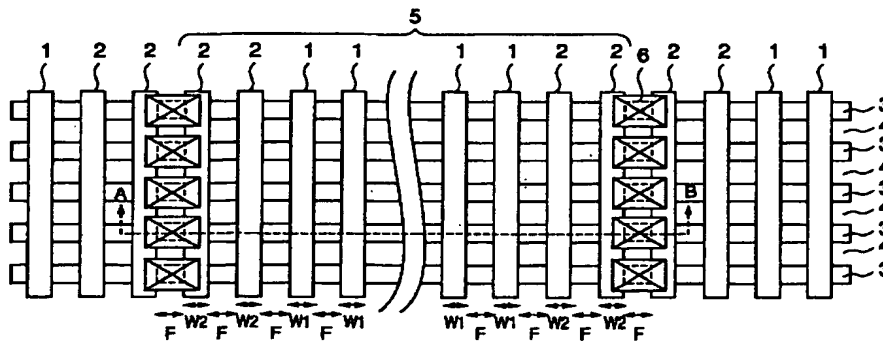


- 1 メモリセルゲート
2 選択ゲート
6 コンタクト
10 半導体基板
11 ソース・ドレイン拡散層
12 チャネルイオン注入層
13 ゲート絶縁膜
14 第1導電層（電荷蓄積層）
15 ゲート間絶縁膜（ONO膜）
16 第2導電層（制御ゲート）

【図4】

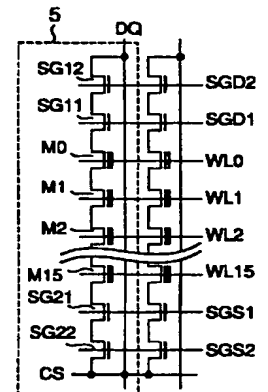


【図2】

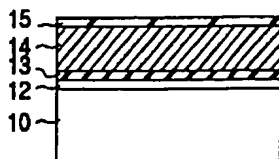


- 3 素子活性領域
4 素子分離領域
5 NANDストリング

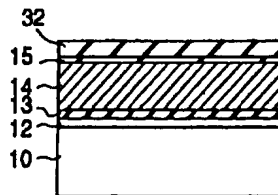
【図3】



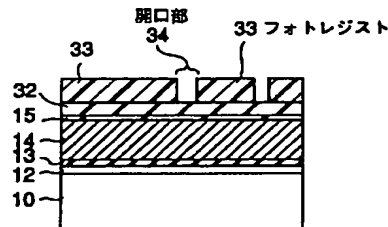
【図10】



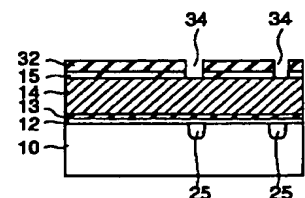
【図11】



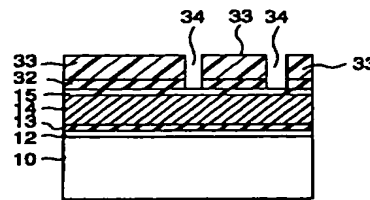
【図12】



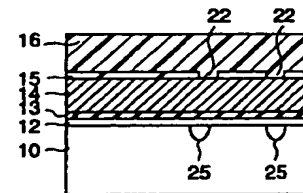
【図15】



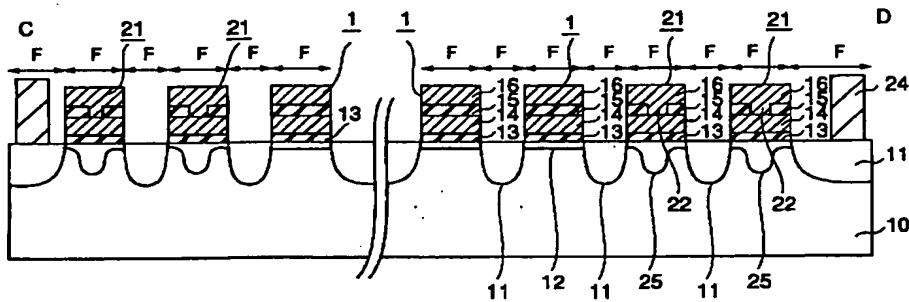
【図 13】



【図 16】

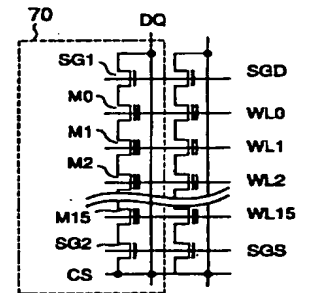


【図 6】

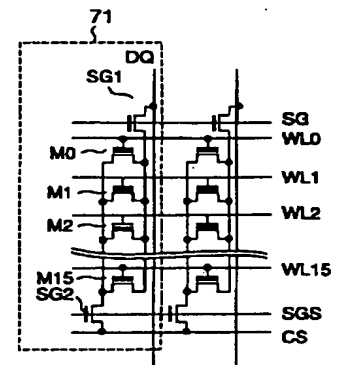


25 選択トランジスタチャネル拡散層

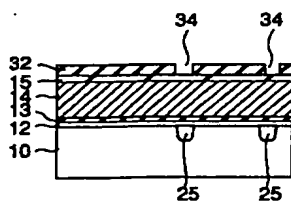
【图 2 2】



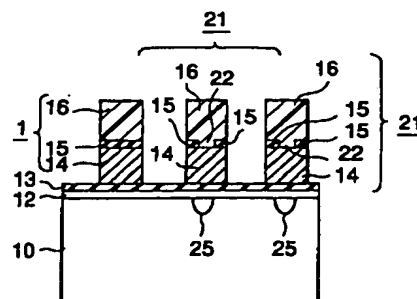
【圖 23】



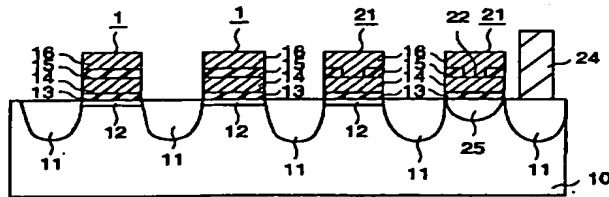
【圖 1 4】



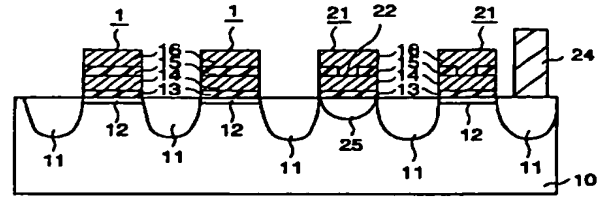
【圖 17】



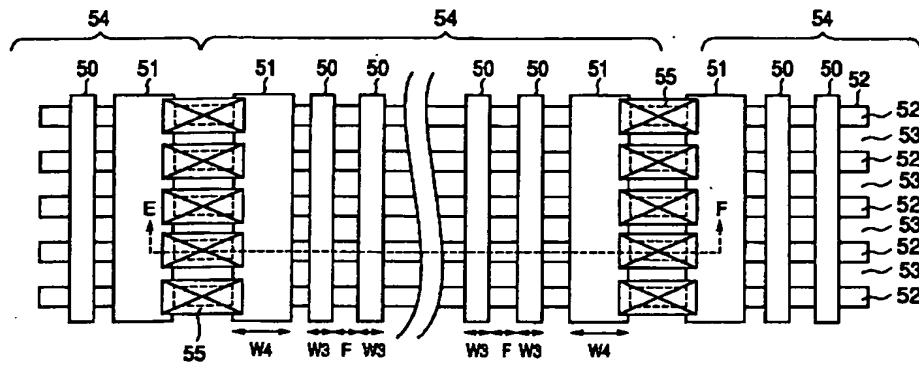
【図18】



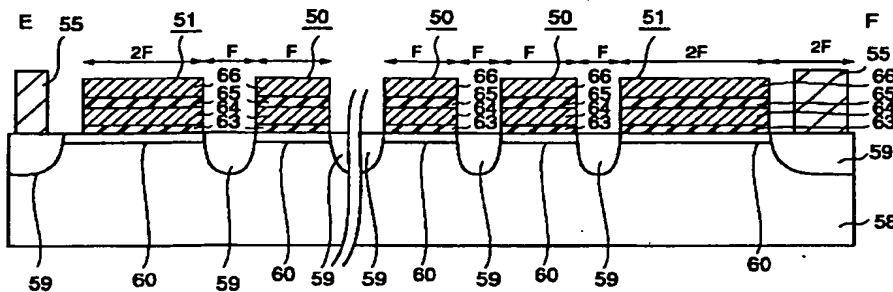
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 竹内 祐司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 久慈 龍明
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 森 誠一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 白田 理一郎
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F083 EP02 EP23 EP33 EP34 EP55
EP56 EP76 EP79 GA09 LA21
PR43 PR53 ZA01
5F101 BA29 BA36 BB05 BD22 BH21